

KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: **2002-0063024**

Date of Application: **16 October 2002**

Applicant(s): **Samsung Electronics Co., Ltd.**

25 October 2002

COMMISSIONER

PATENT APPLICATION

[Document Name]	Patent Application
[Application Type]	Patent
[Receiver]	Commissioner
[Reference No.]	0020
[Filing Date]	2002.10.16.
[IPC]	H01L
[Title]	Semiconductor Device Having Dielectric Layer Improved In Terms Of Dielectric Characteristics And Leakage Current And Method For Manufacturing The Semiconductor Device
[Applicant]	
Name:	Samsung Electronics Co., Ltd.
Applicant code:	1-1998-104271-3
[Attorney]	
Name:	Young-pil Lee
Attorney's code:	9-1998-000334-6
Reg. No. of General Power of Attorney:	1 999-009556-9
Name:	Sang-bin Jeong
Attorney's code:	9-1998-000541-1
Reg. No. of General Power of Attorney:	1 999-009617-5
[Inventor]	
1. Name:	Gab-jin Nam
I.D. No.	670821-1332917
Zip Code:	442-470
Address:	333-1901, Chungmyung Maeul 3-danji Apt., Youngtong-dong, Paldal-gu, Suwon-city, Kyungki-do, Republic of Korea
Nationality:	Republic of Korea
2. Name:	Seung-hwan Lee
I.D. No.	710518-1551610
Zip Code:	151-056
Address:	106-1108, Woosung Apt., Bongcheon 6-dong, Gwanak-gu, Seoul, Republic of Korea
Nationality:	Republic of Korea

3. Name: Ki-chul Kim
 I.D. No. 730427-1041932
 Zip Code: 463-060
 Address: 1009-1403, Samsung Apt., Imae-dong,
 Bundang-gu, Sungnam-city, Kyungki-do,
 Republic of Korea
 Nationality: Republic of Korea
4. Name: Jae-soon Lim
 I.D. No. 730310-2055115
 Zip Code: 131-141
 Address: B-01, Cheonji Villa, 122-47, Muk 1-dong,
 Joongrang-gu, Seoul, Republic of Korea
 Nationality: Republic of Korea
5. Name: Sung-tae Kim
 I.D. No. 601227-1002238
 Zip Code: 137-071
 Address: 20-805, Hyundai Apt., Seocho 1-dong,
 Seocho-gu, Seoul, Republic of Korea
 Nationality: Republic of Korea
6. Name: Young-sun Kim
 I.D. No. 640717-1046422
 Zip Code: 442-470
 Address: 710-1303, Sungjee Apt., Salgugol, 988-2,
 Youngtong-dong, Paldal-gu, Suwon-city,
 Kyungki-do, Republic of Korea
 Nationality: Republic of Korea

[Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney
 Attorney

Young-pil Lee (seal)
 Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	14 Sheet(s)	14,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	39 Claim(s)	1,357,000 won
Total:		1,400,000 won

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0063024
Application Number PATENT-2002-0063024

출원년월일 : 2002년 10월 16일
Date of Application OCT 16, 2002

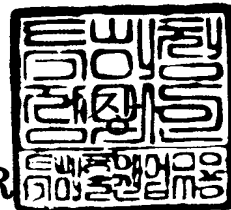
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 10 월 25 일

특 허 청

COMMISSIONER





1020020063024

출력 일자: 2002/10/26

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.10.16
【국제특허분류】	H01L
【발명의 명칭】	유전 특성 및 누설 전류 특성이 개선된 유전막을 갖는 반도체 메모리 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor device having dielectric layer improved dielectric characteristic and leakage current and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	남갑진
【성명의 영문표기】	NAM,Gab Jin
【주민등록번호】	670821-1332917
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을3단지아파트 333-1901
【국적】	KR
【발명자】	
【성명의 국문표기】	이승환
【성명의 영문표기】	LEE,Seung Hwan
【주민등록번호】	710518-1551610



1020020063024

출력 일자: 2002/10/26

【우편번호】	151-056
【주소】	서울특별시 관악구 봉천6동 우성아파트 106-1108
【국적】	KR
【발명자】	
【성명의 국문표기】	김기철
【성명의 영문표기】	KIM,Ki Chul
【주민등록번호】	730427-1041932
【우편번호】	463-060
【주소】	경기도 성남시 분당구 이매동 삼성아파트 1009-1403
【국적】	KR
【발명자】	
【성명의 국문표기】	임재순
【성명의 영문표기】	LIM,Jae Soon
【주민등록번호】	730310-2055115
【우편번호】	131-141
【주소】	서울특별시 중랑구 묵1동 122-47 천지빌라 B-01
【국적】	KR
【발명자】	
【성명의 국문표기】	김성태
【성명의 영문표기】	KIM,Sung Tae
【주민등록번호】	601227-1002238
【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 20-805
【국적】	KR
【발명자】	
【성명의 국문표기】	김영선
【성명의 영문표기】	KIM,Young Sun
【주민등록번호】	640717-1046422
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 988-2 살구골 성지아파트 10-1303
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

14 면 14,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

39 항 1,357,000 원

【합계】

1,400,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

유전율 및 누설 전류 특성을 개선할 수 있는 반도체 메모리 소자 및 그 제조방법을 개시한다. 개시된 본 발명의 반도체 메모리 소자는, 반도체 기판, 반도체 기판상에 형성되는 하부 전극, 상기 하부 전극 상부에 형성되는 티타늄, 탄탈륨을 포함하는 산화막으로 구성되는 유전막, 및 상기 유전막 상부의 상부 전극을 포함한다. 이때, 상기 유전막내의 티타늄 농도는 두께에 따라 상이하며, 상기 유전막 중 하부 전극과 근접하는 부분의 티타늄의 농도는 0.1 내지 15%임이 바람직하다.

【대표도】

도 1

【색인어】

티타늄, 티타늄이 도핑된 탄탈륨 산화막, 유전율,

【명세서】**【발명의 명칭】**

유전 특성 및 누설 전류 특성이 개선된 유전막을 갖는 반도체 메모리 소자 및 그 제조방법{Semiconductor device having dielectric layer improved dielectric characteristic and leakage current and method for manufacturing the same}

【도면의 간단한 설명】

도 1은 본 발명의 실시예 1에 따른 반도체 메모리 소자의 단면도이다.

도 2a 내지 도 2c는 본 실시예에 따른 탄탈륨 티타늄 산화막의 두께에 따른 티타늄 농도를 나타낸 그래프이다.

도 3은 도펀트 주입에 따른 탄탈륨 산화막의 유전율을 나타낸 그래프이다.

도 4는 유전막에 네가티브 전압 인가시 누설 전류를 나타낸 그래프이다.

도 5는 본 실시예의 유전막을 증착하기 위한 제 1 장비를 개략적으로 나타낸 단면도이다.

도 6은 반응기 외부 혼합 방식에 이용되는 탄탈륨 전구체와 티타늄 전구체의 화학식을 나타낸 도면이다.

도 7은 탄탈륨 전구체, 티타늄 전구체 및 탄탈륨 전구체와 티타늄 전구체의 혼합물질의 TGA 분석 결과를 나타낸 그래프이다.

도 8은 본 실시예의 유전막을 증착하기 위한 제 2 장비를 개략적으로 나타낸 단면도이다.

도 9는 본 발명의 실시예 2에 따른 반도체 메모리 소자의 단면도이다.

도 10은 본 발명의 실시예 2의 탄탈륨 티타늄 산화막의 두께에 따른 티타늄 농도를 나타낸 그래프이다.

도 11은 본 발명의 실시예 3에 따른 반도체 메모리 소자의 단면도이다.

도 12는 본 발명의 실시예 3의 탄탈륨 티타늄 산화막의 두께에 따른 티타늄 농도를 나타낸 그래프이다.

(도면의 주요 부분에 대한 부호의 설명)

100 : 반도체 기판

110 : 하부 전극

120 : 반응 억제층

150 : 탄탈륨 티타늄 산화막

140 : 상부 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는 하부 전극, 유전막 및 상부 전극으로 구성되는 캐패시터를 갖는 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

<18> 반도체 메모리 소자의 집적도가 증가됨에 따라, 단위 셀 면적 및 셀 사이의 간격은 축소되는 반면, 캐패시터는 일정 용량을 보유해야 하기 때문에 좁은 면적에 대용량을 가지는 캐패시터가 요구된다. 종래에는 캐패시터의 대용량을 확보하기 위하여, 고유전 물질을 유전막으로 사용하는 방법, 유전막의 두께를 감소시키는 방법, 하부 전극의 표면적을 증가시키는 방법 등이 제안되고 있다.

<19> 그중, 유전막의 두께를 감소시키는 방법 및 하부 전극의 표면적을 증가시키는 방법은 거의 한계에 봉착하였으며, 현재에는 고유전막을 이용하여 캐패시턴스를 증대시키는 방식이 주로 행해지고 있다.

<20> 현재 캐패시터의 유전막으로는 유전 상수(ϵ)가 24 정도인 탄탈륨 산화막(Ta_2O_5)이 주로 이용되고 있다.

<21> 그러나, 종래의 탄탈륨 산화막으로 된 유전막은 유전 상수가 높다는 장점은 있지만, 다음과 같은 문제점을 갖는다.

<22> 먼저, 탄탈륨 산화막은 알려진 바와 같이, 불안정한 화학 양론비를 가지고 있어, 막내에 산소가 결핍되어 있고, 이로 인하여 자체적인 누설 전류가 크다. 이에따라, 종래에는 산소를 보충시켜주기 위하여 산소 열처리 공정을 실시하고 있다.

<23> 하지만, 상기 산소 열처리 공정시, 산소 이온이 탄탈륨 산화막을 쉽게 침투하여, 탄탈륨 산화막과 하부 전극의 계면에 상대적으로 유전 상수가 낮은 실리콘 산화막(하부 전극과 산소 이온의 반응으로 형성됨)이 발생된다. 이로 인하여, 유전막의 등가 산화막(effective oxide : To_{eq})의 두께가 증대되고, 탄탈륨 산화막의 유전율이 감소된다. 이에따라, 상술한 탄탈륨 산화막은 누설 전류 특성과 유전율 특성을 동시에 만족시키지 못하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서, 본 발명의 이루고자 하는 기술적 과제는, 유전 특성 및 누설 전류 특성을 동시에 개선할 수 있는 유전막을 갖는 반도체 메모리 소자를 제공하는 것이다.

<25> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 상기한 반도체 메모리 소자의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<26> 상기한 본 발명의 이루고자 하는 기술적 과제를 달성하기 위하여, 본 발명의 일견지에 따른 반도체 메모리 소자는, 반도체 기판, 반도체 기판상에 형성되는 하부 전극, 상기 하부 전극 상부에 형성되는 티타늄, 탄탈륨을 포함하는 산화막으로 구성되는 유전막, 및 상기 유전막 상부의 상부 전극을 포함한다. 이때, 상기 유전막내의 티타늄 농도는 두께에 따라 상이하다. 이때, 상기 유전막 중 하부 전극과 근접하는 부분의 티타늄의 농도는 0.1 내지 15%임이 바람직하다.

<27> 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 소자는, 반도체 기판과, 반도체 기판상에 형성되는 하부 전극과, 상기 하부 전극 상부에 형성되는 반응 억제층과, 상기 반응 억제층 상부에 형성되는 제 1 탄탈륨 티타늄 산화막과, 상기 제 1 탄탈륨 티타늄 산화막 상부에 형성되는 제 2 탄탈륨 티타늄 산화막, 및 상기 제 2 탄탈륨 티타늄 산화막 상부에 형성되는 상부 전극을 포함하며, 상기 제 1 탄탈륨 티타늄 산화막의 티타늄 농도는 0.1 내지 15% 이고, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 상기 제 1 탄탈륨 티타늄 산화막의 티타늄 농도보다 크거나 작음이 바람직하다.

<28> 이때, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 0.001 내지 3% 이거나, 10 내지 20% 일 수 있다. 또한, 하부 전극과 유전막(탄탈륨 티타늄 산화막) 사이에 개재되는 반응 억제층은 실리콘 질화막, 실리콘 산화막 및 실리콘 질산화막 중 선택되는 하나의 막일 수 있다. 또한, 상기 하부 전극과 상부 전극은 도핑된 폴리실리콘막, 금속막,

금속 산화막, 금속 질화막 및 금속 질산화막과 같은 도전층중 적어도 하나로 구성될 수 있다.

<29> 본 발명의 다른 견지에 따른 반도체 메모리 소자의 제조방법은 다음과 같다. 먼저, 반도체 기판 상부에 하부 전극을 형성하고, 상기 하부 전극 상부에 티타늄 및 탄탈륨을 포함하는 산화막으로 유전막을 형성한다음, 상기 유전막 상부에 상부 전극을 형성하는 단계를 포함한다. 이때, 상기 유전막을 증착하는 단계는 상기 티타늄 농도가 두께에 따라 다르도록 증착하되, 상기 유전막 중 하부 전극과 근접하는 부분의 티타늄의 농도가 0.1 내지 15%이 되도록 티타늄 농도를 조절해가면서 증착하는 것이 바람직하다.

<30> 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 제조방법은 다음과 같다. 먼저, 반도체 기판 상부에 하부 전극을 형성하고, 상기 하부 전극 표면에 반응 억제층을 형성한다. 그후, 상기 반응 억제층 상부에 제 1 탄탈륨 티타늄 산화막을 형성하고, 상기 제 1 탄탈륨 티타늄 산화막 상부에 제 2 티타늄 산화막을 형성한다. 이어서, 상기 제 1 및 제 2 탄탈륨 티타늄 산화막을 산소 분위기에서 열처리하고, 상기 제 2 탄탈륨 티타늄 산화막 상부에 상부 전극을 형성한다. 이때, 상기 제 1 탄탈륨 티타늄 산화막 증착시, 티타늄 농도는 0.1 내지 15%이 되도록 티타늄 농도를 조절해가면서 증착하고, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 상기 제 1 탄탈륨 티타늄 산화막의 티타늄 농도보다 크거나 작은 것이 바람직하다.

<31> 반응 억제층은 하부 전극 표면을 RTN(rapid thermal nitridation), RTO(rapid thermal oxidation) 또는 RTN 및 RTO의 혼합 처리 방식으로 형성하거나, CVD(chemical vapor deposition) 방식으로 형성할 수 있다.

- <32> 또한, 상기 제 1 및 제 2 탄탈륨 티타늄 산화막은, 티타늄 전구체와 탄탈륨 전구체 및 산소 가스를 반응기내에 개별적으로 공급하여, 반응기내에서 티타늄 전구체, 탄탈륨 전구체 및 산소를 반응시켜서 형성될 수 있다. 이때, 탄탈륨 전구체로는, $\text{Ta}(\text{OC}_2\text{H}_5)_5$ 와 같은 메탈 알코자이드(metal alkoxide)나 메탈 베타-데케토네이트(metal beta deketonate)와 같은 유기 금속물 또는 TaCl_5 와 같은 메탈 할라이드(metal halide)가 이용되고, 티타늄 전구체는 $\text{Ti}(\text{OCH}(\text{CH}_3)_2)_4$, $\text{Ti}(\text{OC}_2\text{H}_5)_4$, TiCl_4 또는 TDMAT(tetrakis-dimethylamido-Titanium)과 같은 화합물이 이용된다.
- <33> 또한, 상기 제 1 및 제 2 탄탈륨 티타늄 산화막은, 탄탈륨 전구체와 티타늄 전구체를 반응기 외부에서 혼합시킨다음, 혼합된 물질을 반응기내에 공급하여 형성될 수 있다. 이러한 경우, 상기 탄탈륨 전구체는 탄탈륨 에톡 사이드($\text{Ta}(\text{OCH}_2\text{CH}_3)_6$: pentaethoxy tantalum)가 이용되고, 상기 티타늄 전구체는 티타늄 에톡사이드($\text{Ti}(\text{OCH}_2\text{CH}_3)_4$: tetraethoxy titanium, 이하 TET)가 이용된다. 아울러, 유전막의 티타늄 농도 조절은 증착 온도 및 전구체의 유량에 의하여 조절한다.
- <34> 또한, 탄탈륨 티타늄 산화막은 100 내지 700℃의 온도 및 100 내지 760mtorr의 압력하에서 형성하고, 탄탈륨 전구체 및 티타늄 전구체는 각각 5 내지 200mg/min 정도 공급하고, 산소 가스는 10 sccm 내지 10slm 정도 공급하여 형성한다.
- <35> 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다

명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기관의 "상"에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기관에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<36> (실시예 1)

<37> 첨부한 도면 도 1은 본 발명의 실시예 1에 따른 반도체 메모리 소자의 단면도이고, 도 2a 내지 도 2c는 본 실시예에 따른 탄탈륨 티타늄 산화막의 두께에 따른 티타늄 농도를 나타낸 그래프이다. 도 3은 도펀트 주입에 따른 탄탈륨 산화막의 유전율을 나타낸 그래프이고, 도 4는 유전막에 네가티브 전압 인가시 누설 전류를 나타낸 그래프이다. 도 5는 본 실시예의 유전막을 증착하기 위한 제 1 장비를 개략적으로 나타낸 단면도이다. 또한, 도 6는 반응기 외부 혼합 방식에 이용되는 탄탈륨 전구체와 티타늄 전구체의 화학식을 나타낸 도면이고, 도 7은 탄탈륨 전구체, 티타늄 전구체 및 탄탈륨 전구체와 티타늄 전구체의 혼합물질의 TGA(full name 요망) 분석 결과를 나타낸 그래프이다. 도 8은 본 실시예의 유전막을 증착하기 위한 제 2 장비를 개략적으로 나타낸 단면도이다.

<38> 도 1을 참조하여, 반도체 기관(100) 예를 들어, 실리콘 기관이 준비된다. 반도체 기관(100)은 표면에 반도체 소자, 금속 배선 및 절연막등을 포함할 수 있다. 반도체 기관(100) 상부에 하부 전극(110)을 형성한다. 하부 전극(110)은 도전층, 예를 들어, 도핑된 폴리실리콘막, 금속막, 금속 산화막, 금속 질화막 및 금속 질산화막(metal oxynitride)중 적어도 하나의 막으로 형성된다. 아울러, 하부 전극(110)은 그 표면적을 증대시키기 위하여, 스택(stack) 구조, 박스(box) 구조, 실린더(cylinder) 구조, 핀(fin) 구조 또는 트렌치(trench) 구조등 다양한 형태로 형성될 수 있다.

- <39> 하부 전극(110) 표면에 반응 억제층(120)을 형성한다. 반응 억제층(120)은 이후 형성될 유전막과 하부 전극(110)간의 반응을 최소화시키기 위한 막으로, 예를들어 실리콘 질화막, 실리콘 산화막 또는 실리콘 질산화막 등으로 이용될 수 있으며, 이들 막은 RTN(rapid thermal nitridation), RTO(rapid thermal oxidation) 또는 RTN 및 RTO의 혼합 처리 방법에 의하여 형성될 수 있다. 상기 RTN 처리는 NH_3 또는 N_2 와 같은 질소 포함 가스 분위기에서 500 내지 900℃의 온도로 진행될 수 있다. RTO 처리는 O_2 또는 N_2O 와 같은 산소 포함 가스 분위기에서 500 내지 900℃의 온도로 진행될 수 있다. 이때, 상기한 RTN 처리, RTO 처리 또는 RTN 및 RTO의 혼합 처리시, 플라즈마 또는 자외선(UV)등을 조사하여, 활성화 에너지를 낮출 수 있다.
- <40> 또한, 반응 억제층(120)은 CVD(chemical vapor deposition) 방식으로 형성할 수 있다.
- <41> 이들 반응 억제층(120)은 상술한 바와 같이, 하부 전극(110)의 표면 반응을 억제하면서, 이후 산화 공정시, 산소 이온등이 하부 전극(110)쪽으로 확산됨을 방지하는 역할을 하며, 유전막에 가해지는 전계를 분산시키는 역할 또한 한다. 본 실시예에서는 반응 억제층(120)으로 예를들어, RTN 방식의 실리콘 질화막을 사용하였다.
- <42> 반응 억제층(120) 상부에 유전막으로서 티타늄이 도핑된 탄탈륨 산화막($(\text{Ta}_2\text{O}_5)_{1-x}(\text{TiO}_2)_x$:150, 이하, 탄탈륨 티타늄 산화막)을 증착한다. 본 실시예의 탄탈륨 티타늄 산화막(150)은 두께에 따라 티타늄 농도가 상이하도록 형성한다 예를들어, 탄탈륨 티타늄 산화막(130)의 티타늄 농도는 도 2a에 도시된 바와 같이 두께가 증대될수록 감소될 수 있고, 도 2b 및 도 2c에 도시된 바와 같이 탄탈륨 티타늄 산화막(130)의 두께와 비례하

여 티타늄 농도가 증대될 수 있다. 바람직하게는 유전막의 하부에 해당하는 탄탈륨 티타늄 산화막의 티타늄 농도를 약 0.1 내지 15%로 조절한다.

<43> 여기서, 유전막의 하부 즉, 하부 전극(100)에 근접하는 탄탈륨 티타늄 산화막의 티타늄 농도를 약 0.1 내지 15%로 조절하는 것은 다음과 같은 이유에서이다.

<44> 먼저, 도 3은 도펀트 주입에 따른 탄탈륨 산화막의 유전율을 나타낸 그래프로서, 탄탈륨 산화막에 티타늄(Ti), 실리콘(Si) 및 지르코늄(Zr)을 소량씩 도핑한다. 상기 그래프에 의하면, 실리콘 또는 지르코늄을 도핑하였을때는 탄탈륨 산화막의 유전율에 큰 변화가 없었지만, 티타늄을 0.1 내지 15% 정도 도핑하였을때에는 탄탈륨 산화막의 유전율이 크게 개선되었다.

<45> 또한, 도 4는 유전체막에 네가티브 전압 인가시 누설 전류를 나타낸 그래프들로서, 동일한 조건하에서 유전막의 종류를 변화시켜, 등가 산화막(T_{oxeq}) 및 누설 전류를 측정한 그래프이다. 이때, 등가 산화막의 두께는 유전율을 결정짓는 요소로서, 등가 산화막의 두께가 낮을수록 유전막의 유전율이 증대된다. 도 3에서, ①은 탄탈륨 산화막(70\AA)을 형성한 경우, ②는 탄탈륨 산화막(20\AA) 상부에 탄탈륨 티타늄 산화막(50\AA)을 적층한 경우, ③은 탄탈륨 티타늄 산화막(20\AA) 상부에 탄탈륨 티타늄 산화막(50\AA)을 적층한 경우, 및 ④는 탄탈륨 티타늄 산화막(70\AA)을 적층한 경우이다. 도 4에서 적용되는 탄탈륨 티타늄 산화막은 5 내지 15%의 티타늄 도펀트를 포함하고 있다.

<46> 상기 그래프에 의하면, 탄탈륨 산화막을 이용하는 경우(①)는 등가 산화막 두께가 31.8\AA 이상부터 누설 전류가 증대되고, 탄탈륨 산화막 상부에 탄탈륨 티타늄 산화막을 형성하는 경우(②)는 등가 산화막 두께가 33.05\AA 이상부터 누설 전류가 증대된다. 한편, 탄탈륨 티타늄 산화막 상부에 탄탈륨 산화막을 형성하는 경우(③)는 등가 산화막이 31.9

Å 이상부터 누설 전류가 증대되고, 탄탈륨 티타늄 산화막을 형성하는 경우(④)는 등가 산화막이 31.8Å 이상부터 누설 전류가 증대된다.

<47> 상기 그래프에서 알 수 있듯이, 탄탈륨 티타늄 산화막을 형성하되 탄탈륨 산화막 상부에 형성하는 경우는, 등가 산화막 측면에서 탄탈륨 산화막을 단일로 사용하는 경우와 거의 유사하다. 한편, 탄탈륨 티타늄 산화막을 탄탈륨 산화막 하부에 형성하는 경우는 탄탈륨 티타늄 산화막 단일로 형성하는 경우와 마찬가지로 낮은 등가 산화막을 가짐을 알 수 있었다. 즉, 탄탈륨 티타늄 산화막을 유전체로 사용한다고 하여 모두 낮은 유전율을 나타내는 것이 아니고, 하부 전극(110)과의 계면 부분에 최적의 티타늄을 포함하고 있는 탄탈륨 티타늄 산화막이 형성될 때만이 낮은 유전율을 얻을 수 있다.

<48> 이에 따라, 본 실시예에서는 유전체막으로 탄탈륨 산화막에 티타늄을 도핑시키되, 하부 전극(110)의 근처, 즉 반응 억제층(120)과의 계면 부분의 티타늄 농도가 0.1 내지 15%로 되도록 조절한다.

<49> 이때, 탄탈륨 티타늄 산화막(150)은 전구체의 공급 방식에 따라 다음의 2가지 방식으로 나눌수 있다.

<50> 첫째로, 탄탈륨 전구체, 티타늄 전구체 및 산소 가스를 챔버 내부에서 혼합시키는 방법이다. 이 방식은 기체 상태로 변환시킨 탄탈륨 전구체, 티타늄 전구체와 산소 가스를 반응기에 개별적으로 공급한다. 이때, 탄탈륨 전구체, 티타늄 전구체 및 산소는 수소, 헬륨, 질소와 같은 운반 가스에 의하여 반응기내로 유입된다. 이렇게 반응기에 유입된 탄탈륨 전구체 및 티타늄 전구체는 산소 가스와 만나게 되어, 반응기(200) 내부에 혼합된다. 반응기(200) 내부의 혼합 가스는 기판 상부(바

람직하게는 반응 억제층(120 상부)에서 반응을 일으켜, 탄탈륨 티타늄 산화막(150)을 형성한다. 이때, 하부에 형성되는 탄탈륨 티타늄 산화막(150)의 티타늄 농도가 0.1 내지 15%가 되도록 시간에 따라 티타늄 농도를 조절한다. 이때, 상기한 방식을 진행하기 위한 장치는 도 5에 도시된 바와 같이, 반응기(200), 탄탈륨 전구체를 수용하는 제 1 반응원(210), 티타늄 전구체를 수용하는 제 2 반응원(220), 산소 가스를 공급하는 제 3 반응원(230) 및 반응기(200)와 각각의 반응원(210,220,230)을 연결시키는 가스 라인(250a,250b,250c)을 포함한다. 여기서, 탄탈륨 전구체로는 $Ta(OC_2H_5)_5$ 와 같은 메탈 알콕사이드(metal alkoxide)나 메탈 베타-데케토네이트(metal beta deketonate)와 같은 유기 금속물 또는 $TaCl_5$ 와 같은 메탈 할라이드(metal halide)가 사용될 수 있다. 티타늄 전구체로는 $Ti(OCH(CH_3)_2)_4$, $Ti(OC_2H_5)_4$, $TiCl_4$ 또는 TDMAT(tetrakis-dimethylamido-Titanium)과 같은 화합물이 이용될 수 있다. 이와같은 방식은 티타늄을 공급하는 티타늄 전구체를 수용하는 반응원이 개별적으로 존재하여, 티타늄 농도를 용이하게 조절할 수 있다는 장점이 있다.

<51> 둘째로, 탄탈륨 전구체와 티타늄 전구체를 반응기 외부에서 혼합시킨다음, 혼합된 물질을 반응기내에 공급하는 방법이 있다.

<52> 알려진 바와 같이, 탄탈륨 전구체와 티타늄 전구체 특히 탄탈륨 에톡사이드($Ta(OCH_2CH_3)_6$: pentaethoxy tantalum, 이하, PET)와 티타늄 에톡사이드($Ti(OCH_2CH_3)_4$: tetraethoxy titanium, 이하 TET)는 도 6에 도시된 바와 같이, 하나의 금속원자 주위에 수개의 에톡사이드기(OCH_2CH_3)가 달려있는 면에서 두 전구체는 구조적 유사성을 갖는다. 이에따라, 상기 두 전구체(PET,TET)를 혼합시키면, 혼합된 전구체는 도 7에 도시된 바와 같이, PET 및 TET의 중간 물성을 가지며, 마치 하나의 물질처럼 거동된다.

- <53> 이에따라, 도 8에 도시된 바와 같이, PET 및 TET 전구체를 반응기(200) 외부 반응원(240)에서 혼합한다음, 혼합된 전구체를 반응기(200)에 공급하여, 탄탈륨 티타늄 산화막(150)을 형성한다. 미설명 도면 부호 250d는 혼합 전구체를 수용하는 반응원(240)과 반응기(200)를 연결하는 가스 라인이다.
- <54> 이때, 티타늄의 농도 조절은 반응기내의 공정 조건을 조절하므로써 가능하다. 상기 공정 조건으로는 증착 온도, 증착 압력, 전구체의 유량, 운반 가스의 유량, 산화 가스의 유량등이 있는데, 그중 증착 온도 및 전구체의 유량이 티타늄의 농도에 가장 관련이 높다. 즉, 실험한 바에 의하면, 증착 온도를 450℃에서 500℃로 증가시키면, 탄탈륨 산화막내의 티타늄 농도가 1.7%에서 4.2%로 증대된다. 또한, 혼합 전구체내의 티타늄 전구체의 양을 16%에서 50%로 증대시키면, 티타늄 농도가 17.6%로 증대된다. 이러한 실험치에 의하여, 티타늄 농도를 적절히 조절할 수 있다. 이와같은 방식은 반응기의 구조를 단순화시킬 수 있다는 장점이 있다.
- <55> 상기한 방식들로 형성되는 탄탈륨 티타늄 산화막(150)은 100 내지 700℃의 온도, 바람직하게는 400 내지 500℃의 온도 및 100 내지 760mtorr의 압력하에서 형성된다. 아울러, 탄탈륨 티타늄 산화막(150) 증착시 탄탈륨 전구체 및 티타늄 전구체는 각각 5 내지 200mg/min 정도 공급되고, 산소 가스는 10 sccm 내지 10slm 정도 공급됨이 바람직하다.
- <56> 여기서, 반응 억제층(120)을 형성하는 공정과, 탄탈륨 티타늄 산화막(150)을 증착하는 공정 사이에, 효과적인 증착을 위하여 탄탈륨 가스를 플로우 하는 공정을 추가로 실시할 수 있다.

- <57> 다시, 도 1을 참조하여, 상기와 같은 방법으로 형성된 탄탈륨 티타늄 산화막(150)을 누설 전류를 방지하기 위하여 열처리한다. 열처리 공정은 상술한 바와 같이 산소 분위기에서 진행함이 바람직하며, 열처리 공정의 에너지원으로는 열(thermal), 오존(O_3), 산소 플라즈마(O_2 -plasma) 또는 자외선-오존(UV- O_3)등이 이용될 수 있다. 아울러, 산소 분위기를 조성하기 위하여, 반응기내에 O_2 , O_3 또는 N_2O 가스가 공급될 수 있다.
- <58> 이때, 상기한 열처리 공정시, 산소 이온이 탄탈륨 티타늄 산화막(150)을 관통할 수 있으나, 하부 전극(110)과 탄탈륨 티타늄 산화막(150) 계면에 존재하는 반응 억제층(120)에 의하여 산소 이온 확산이 차단되어, 자연 산화막의 발생이 방지된다. 이에따라, 동가 산화막 두께를 감소시킬 수 있다. 또한, 열처리 공정은 누설 전류 특성을 고려하여 다수회 반복 실시할 수 있다.
- <59> 계속해서 도 1을 참조하여, 탄탈륨 티타늄 산화막(150) 상부에 상부 전극(140)을 형성한다. 상부 전극(140)은 도전층 예를 들어, 도핑된 폴리실리콘막, 금속막, 금속 산화막, 금속 질산화막등이 이용될 수 있다. 본 실시예에서는 예를들어 TiN을 상부 전극(140)으로 사용한다. TiN은 유전막과 반응성이 낮아, 유전막의 열화를 억제시킨다.
- <60> 본 실시예에 의하면, 유전체막으로 탄탈륨 티타늄 산화막을 사용하므로써, 누설 전류를 방지하기 위한 열처리 공정을 수행하여도 유전율의 감소를 방지할 수 있다. 이에따라, 누설 전류 특성 및 유전 특성을 모두 만족시킬 수 있다.
- <61> (실시예 2)
- <62> 도 9는 본 발명의 실시예 2에 따른 반도체 메모리 소자의 단면도이고, 도 10은 본 실시예의 탄탈륨 티타늄 산화막의 두께에 따른 티타늄 농도를 나타낸 그래프이다. 본 실

시예는 상술한 실시예 1과 동일한 부분에 대하여는 동일한 부호를 부여하도록 하고, 중복 설명은 배제하도록 한다.

<63> 도 9 및 도 10을 참조하여, 반도체 기판(100) 상에 형성된 하부 전극(110) 상부에 티타늄이 고농도로 도핑된 제 1 탄탈륨 티타늄 산화막(132)을 증착한다. 제 1 탄탈륨 티타늄 산화막(132)의 티타늄 농도(X2)는 약 0.1 내지 15%, 바람직하게는 약 7.5 내지 8.5% 정도임이 바람직하다.

<64> 제 1 탄탈륨 티타늄 산화막(132) 상부에 상대적으로 저농도로 티타늄이 도핑된 제 2 탄탈륨 티타늄 산화막(134)을 증착한다. 제 2 탄탈륨 티타늄 산화막(134)은 고농도 탄탈륨 티타늄 산화막(132)에 비하여 상대적으로 낮은 티타늄 농도(X1)를 가지며, 약 0.001% 내지 3% 정도의 티타늄을 포함한다.

<65> 아울러, 제 1 및 제 2 탄탈륨 티타늄 산화막(132,134)은 상술한 바와 같이, 전구체의 개별 공급 방식 또는 혼합된 전구체를 공급하는 방식으로 형성하되, 각각의 막(132,134)은 하나의 방식으로 연달아 형성됨이 바람직하다.

<66> 그후, 열처리 공정 및 상부 전극(140)은 상술한 실시예 1과 동일한 방식으로 형성한다.

<67> 이와같이, 다층으로 탄탈륨 티타늄 산화막을 형성하여도, 상술한 실시예 1과 동일한 효과를 발휘한다.

<68> (실시예 3)

<69> 도 11은 본 발명의 실시예 3에 따른 반도체 메모리 소자의 단면도이고, 도 12는 본 실시예의 탄탈륨 티타늄 산화막의 두께에 따른 티타늄 농도를 나타낸 그래프이다. 본

실시에 역시 상술한 실시예 1 및 2와 동일한 부분에 대하여는 동일한 부호를 부여하도록 하고, 중복 설명은 배제하도록 한다.

<70> 도 11 및 도 12를 참조하여, 반도체 기판(100) 상에 형성된 하부 전극(110) 상부에 상대적인 저농도로 티타늄이 도핑된 제 1 탄탈륨 티타늄 산화막(136)을 증착한다. 이때, 제 1 탄탈륨 티타늄 산화막(136)은 약 0.1 내지 15%의 티타늄을 포함한다.

<71> 제 1 탄탈륨 티타늄 산화막(136) 상부에 상대적으로 고농도 티타늄이 도핑된 제 2 탄탈륨 티타늄 산화막(138)을 증착한다. 이때, 제 2 탄탈륨 티타늄 산화막(138)은 제 1 탄탈륨 티타늄 산화막(136)에 비하여 상대적으로 고농도를 가지며, 바람직하게는 10 내지 20%의 티타늄을 포함한다.

<72> 상술한 바와 같이, 제 1 탄탈륨 티타늄 산화막(156) 및 제 2 탄탈륨 티타늄 산화막(158)은 전구체의 개별 공급 방식 또는 혼합된 전구체를 공급하는 방식으로 형성할 수 있으나, 고농도 탄탈륨 티타늄 산화막(156) 및 저농도 탄탈륨 티타늄 산화막(158)은 하나의 공급 방식으로 연달아 형성됨이 바람직하다.

<73> 그 후, 열처리 공정 및 상부 전극(140) 형성 공정은 상술한 실시예들과 동일하게 진행한다.

<74> 상술한 실시예 역시 앞서 설명한 실시예들과 동일한 효과를 발휘한다.

【발명의 효과】

<75> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 캐패시터의 유전막으로서 탄탈륨 티타늄 산화막을 이용하되, 하부 전극 근처의 탄탈륨 티타늄 산화막의 최적의 유전율을 발현하는 티타늄 농도를 갖도록 형성한다.

<76> 이에따라, 탄탈륨 산화막의 누설 전류를 보완하기 위한 열처리를 수행하여도, 우수한 유전 특성을 유지하여, 누설 전류 특성 및 유전 특성을 동시에 만족할 수 있다. 따라서, 캐패시턴스를 증대시킬 수 있다.

<77> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

반도체 기판;

반도체 기판상에 형성되는 하부 전극;

상기 하부 전극 상부에 형성되는 티타늄, 탄탈륨을 포함하는 산화막으로 구성되는 유전막; 및

상기 유전막 상부의 상부 전극을 포함하며,

상기 유전막내의 티타늄 농도는 두께에 따라 상이한 것을 특징으로 하는 반도체 메모리 소자.

【청구항 2】

제 1 항에 있어서, 상기 유전막 중 하부 전극과 근접하는 부분의 티타늄의 농도는 0.1 내지 15%인 것을 특징으로 하는 반도체 메모리 소자.

【청구항 3】

제 1 항에 있어서, 상기 하부 전극과 유전막 사이에, 상기 하부 전극과 유전막의 반응을 억제하기 위한 반응 억제층이 더 개재되는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 4】

제 3 항에 있어서, 상기 반응 억제층은 실리콘 질화막, 실리콘 산화막 및 실리콘 질산화막 중 선택되는 하나의 막인 것을 특징으로 하는 반도체 메모리 소자.

【청구항 5】

제 1 항에 있어서, 상기 하부 전극과 상부 전극은 도핑된 폴리실리콘막, 금속막, 금속 산화막, 금속 질화막 및 금속 질산화막(metal oxynitride)과 같은 도전층중 적어도 하나로 구성되는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 6】

반도체 기판;

반도체 기판상에 형성되는 하부 전극;

상기 하부 전극 상부에 형성되는 반응 억제층;

상기 반응 억제층 상부에 형성되는 제 1 탄탈륨 티타늄 산화막;

상기 제 1 탄탈륨 티타늄 산화막 상부에 형성되는 제 2 탄탈륨 티타늄 산화막; 및

상기 제 2 탄탈륨 티타늄 산화막 상부에 형성되는 상부 전극을 포함하며,

상기 제 1 탄탈륨 티타늄 산화막의 티타늄 농도는 0.1 내지 15% 이고, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 상기 제 1 탄탈륨 티타늄 산화막의 티타늄 농도 보다 크거나 작은 것을 특징으로 하는 반도체 메모리 소자.

【청구항 7】

제 6 항에 있어서, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 0.001 내지 3%인 것을 특징으로 하는 반도체 메모리 소자.

【청구항 8】

제 6 항에 있어서, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 10 내지 20% 인 것을 특징으로 하는 반도체 메모리 소자.

【청구항 9】

제 6 항에 있어서, 상기 반응 억제층은 실리콘 질화막, 실리콘 산화막 및 실리콘 질산화막 중 선택되는 하나의 막인 것을 특징으로 하는 반도체 메모리 소자.

【청구항 10】

제 6 항에 있어서, 상기 하부 전극과 상부 전극은 도핑된 폴리실리콘막, 금속막, 금속 산화막, 금속 질화막 및 금속 질산화막과 같은 도전층중 적어도 하나로 구성되는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 11】

반도체 기판 상부에 하부 전극을 형성하는 단계;

상기 하부 전극 상부에 티타늄 및 탄탈륨을 포함하는 산화막으로 유전막을 형성하는 단계; 및

상기 유전막 상부에 상부 전극을 형성하는 단계를 포함하며,

상기 유전막을 증착하는 단계는 상기 티타늄 농도가 두께에 따라 다르도록 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 12】

제 11 항에 있어서, 상기 유전막을 형성하는 단계에서,

상기 유전막은 하부 전극과 근접하는 하부 영역의 티타늄 농도가 0.1 내지 15%이 되도록 티타늄 농도를 조절해가면서 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 13】

제 11 항에 있어서, 상기 하부 전극을 형성하는 단계와 상기 유전막을 형성하는 단계 사이에, 상기 하부 전극과 유전막의 반응을 억제하기 위한 반응 억제층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 14】

제 13 항에 있어서, 상기 반응 억제층은 실리콘 질화막, 실리콘 산화막 또는 실리콘 질화막 중 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 15】

제 14 항에 있어서, 상기 반응 억제층은 하부 전극 표면을 RTN(rapid thermal nitridation), RTO(rapid thermal oxidation) 또는 RTN 및 RTO의 혼합 처리 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 16】

제 14 항에 있어서, 상기 반응 억제층은 CVD(chemical vapor deposition) 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 17】

제 11 항에 있어서, 상기 티타늄 및 탄탈륨을 포함하는 산화막으로 구성된 유전막을 형성하는 단계는,

티타늄 전구체와 탄탈륨 전구체 및 산소 가스를 반응기내에 개별적으로 공급하는 단계; 및

반응기내에서 티타늄 전구체, 탄탈륨 전구체 및 산소를 반응시키는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 18】

제 17 항에 있어서, 상기 탄탈륨 전구체는 $Ta(OC_2H_5)_5$ 와 같은 메탈 알코자이드(metal alkoxide)나 메탈 베타-데케토네이트(metal beta deketonate)와 같은 유기 금속물 또는 $TaCl_5$ 와 같은 메탈 할라이드(metal halide)인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 19】

제 17 항에 있어서, 상기 티타늄 전구체는 $Ti(OCH(CH_3)_2)_4$, $Ti(OC_2H_5)_4$, $TiCl_4$ 또는 TDMAT(tetrakis-dimethylamido-Titanium)과 같은 화합물인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 20】

제 12 항에 있어서, 상기 티타늄 및 탄탈륨을 포함하는 산화막으로 구성된 유전막을 형성하는 단계는, 탄탈륨 전구체와 티타늄 전구체를 반응기 외부에서 혼합시킨다음, 혼합된 물질을 반응기내에 공급하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 21】

제 20 항에 있어서, 상기 탄탈륨 전구체는 탄탈륨 에톡 사이드($Ta(OCH_2CH_3)_6$: pentaethoxy tantalum)이고, 상기 티타늄 전구체는 티타늄 에톡사이드($Ti(OCH_2CH_3)_4$:

tetraethoxy titanium, 이하 TET)인 것을 특징으로 하는 반도체 메모리 소자의 제조방법

【청구항 22】

제 20 항에 있어서, 상기 유전막의 티타늄 농도 조절은 증착 온도 및 전구체의 유량에 의하여 조절하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 23】

제 12 항, 제 18 항 및 제 20 항 중 어느 한 항에 있어서, 상기 유전막은 100 내지 700℃의 온도 및 100 내지 760mtorr의 압력하에서 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 24】

제 23 항에 있어서, 상기 유전막 형성시, 탄탈륨 전구체 및 티타늄 전구체는 각각 5 내지 200mg/min 정도 공급되고, 산소 가스는 10 sccm 내지 10slm 정도 공급되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 25】

제 23 항에 있어서, 상기 유전막을 형성하는 단계와, 상기 상부 전극을 형성하는 단계 사이에 상기 유전막을 산소 분위기에서 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 26】

반도체 기판 상부에 하부 전극을 형성하는 단계;

상기 하부 전극 표면에 반응 억제층을 형성하는 단계;

상기 반응 억제층 상부에 제 1 탄탈륨 티타늄 산화막을 형성하는 단계;
상기 제 1 탄탈륨 티타늄 산화막 상부에 제 2 티타늄 산화막을 형성하는 단계;
상기 제 1 및 제 2 탄탈륨 티타늄 산화막을 산소 분위기에서 열처리하는 단계; 및
상기 제 2 탄탈륨 티타늄 산화막 상부에 상부 전극을 형성하는 단계를 포함하며,
상기 제 1 탄탈륨 티타늄 산화막 증착시, 티타늄 농도는 0.1 내지 15%이 되도록 티타늄 농도를 조절해가면서 증착하고, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 상기 제 1 탄탈륨 티타늄 산화막의 티타늄 농도보다 크거나 작은 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 27】

제 26 항에 있어서, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 0.001 내지 3% 인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 28】

제 25 항에 있어서, 상기 제 2 탄탈륨 티타늄 산화막의 티타늄 농도는 10 내지 20% 인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 29】

제 26 항에 있어서, 상기 반응 억제층은 실리콘 질화막, 실리콘 산화막 또는 실리콘 질화막 중 어느 하나로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 30】

제 29 항에 있어서, 상기 반응 억제층은 하부 전극 표면을 RTN(rapid thermal nitridation), RTO(rapid thermal oxidation) 또는 RTN 및 RTO의 혼합 처리 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 31】

제 29 항에 있어서, 상기 반응 억제층은 CVD(chemical vapor deposition) 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 32】

제 26 항에 있어서, 상기 제 1 및 제 2 탄탈륨 티타늄 산화막을 형성하는 각각의 단계는,

티타늄 전구체와 탄탈륨 전구체 및 산소 가스를 반응기내에 개별적으로 공급하는 단계; 및

반응기내에서 티타늄 전구체, 탄탈륨 전구체 및 산소를 반응시키는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 33】

제 32 항에 있어서, 상기 탄탈륨 전구체는 $Ta(OC_2H_5)_5$ 와 같은 메탈 알코자이드(metal alkoxide)나 메탈 베타-데케토네이트(metal beta deketonate)와 같은 유기 금속물 또는 $TaCl_5$ 와 같은 메탈 할라이드(metal halide)인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 34】

제 32 항에 있어서, 상기 티타늄 전구체는 $\text{Ti}(\text{OCH}(\text{CH}_3)_2)_4$, $\text{Ti}(\text{OC}_2\text{H}_5)_4$, TiCl_4 또는 TDMAT(tetrakis-dimethylamido-Titanium)과 같은 화합물인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 35】

제 26 항에 있어서, 상기 제 1 및 제 2 탄탈륨 티타늄 산화막을 형성하는 각각의 단계는, 탄탈륨 전구체와 티타늄 전구체를 반응기 외부에서 혼합시킨다음, 혼합된 물질을 반응기내에 공급하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 36】

제 35 항에 있어서, 상기 탄탈륨 전구체는 탄탈륨 에톡 사이드($\text{Ta}(\text{OCH}_2\text{CH}_3)_6$: pentaethoxy tantalum)이고, 상기 티타늄 전구체는 티타늄 에톡사이드($\text{Ti}(\text{OCH}_2\text{CH}_3)_4$: tetraethoxy titanium, 이하 TET)인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 37】

제 35 항에 있어서, 상기 유전막의 티타늄 농도 조절은 증착 온도 및 전구체의 유량에 의하여 조절하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 38】

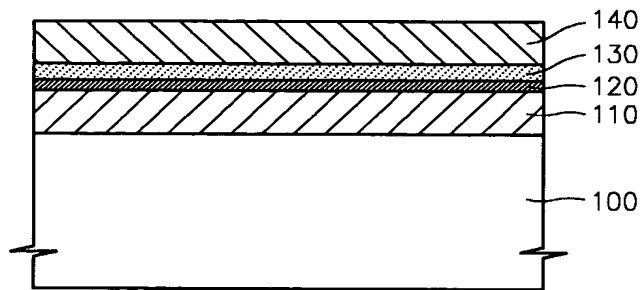
제 26 항, 제 32 항 및 제 35 항 중 어느 한 항에 있어서, 상기 탄탈륨 티타늄 산화막은 100 내지 700℃의 온도 및 100 내지 760mtorr의 압력하에서 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 39】

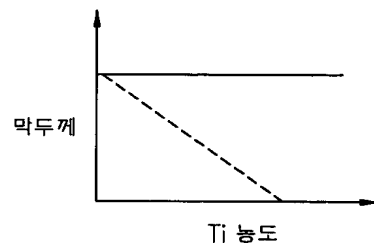
제 38 항에 있어서, 상기 제 1 및 제 2 탄탈륨 티타늄 산화막을 형성하는 단계에서, 탄탈륨 전구체 및 티타늄 전구체는 각각 5 내지 200mg/min 정도 공급하고, 산소 가스는 10 sccm 내지 10slm 정도 공급하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【도면】

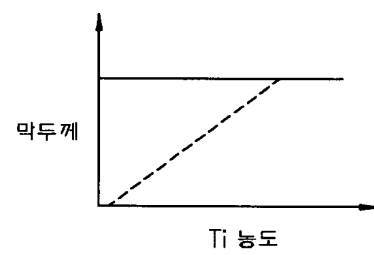
【도 1】



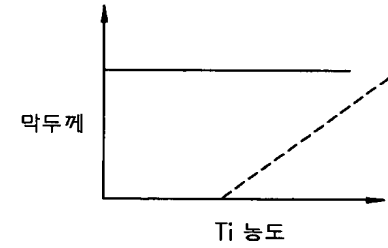
【도 2a】



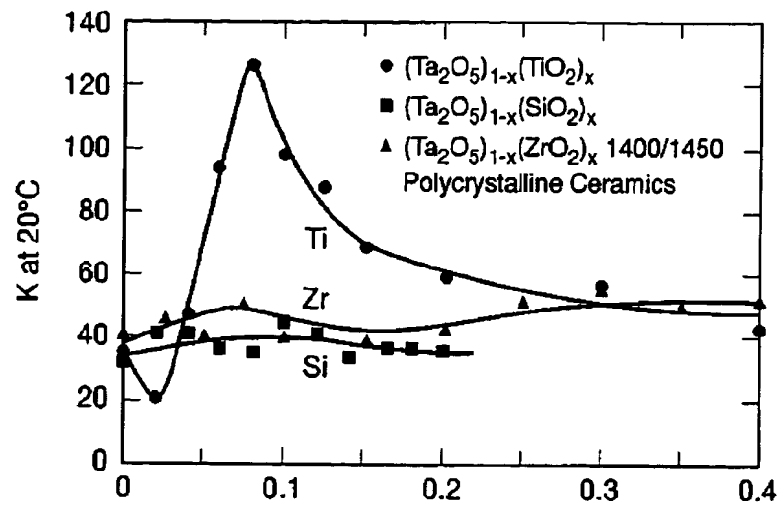
【도 2b】



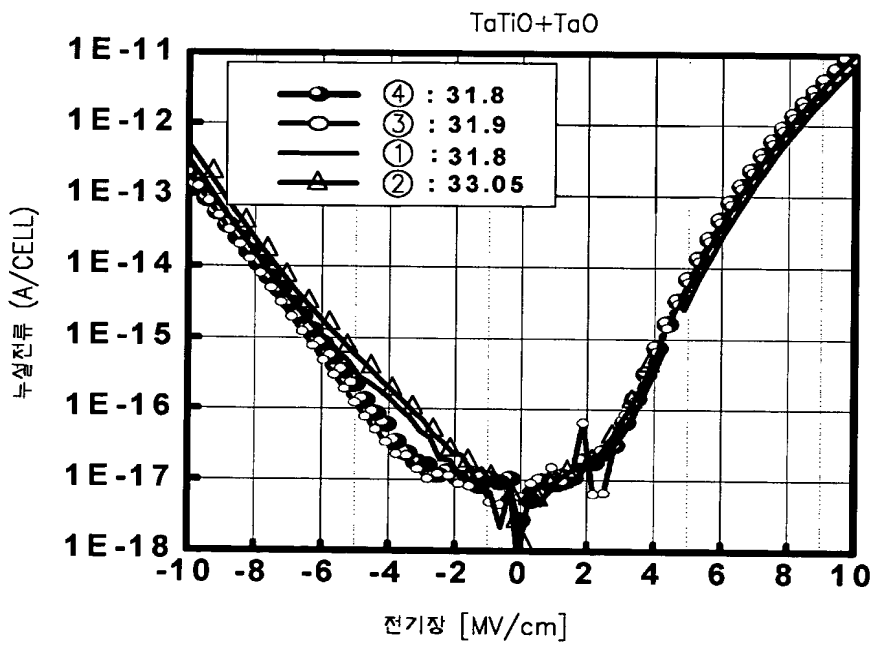
【도 2c】



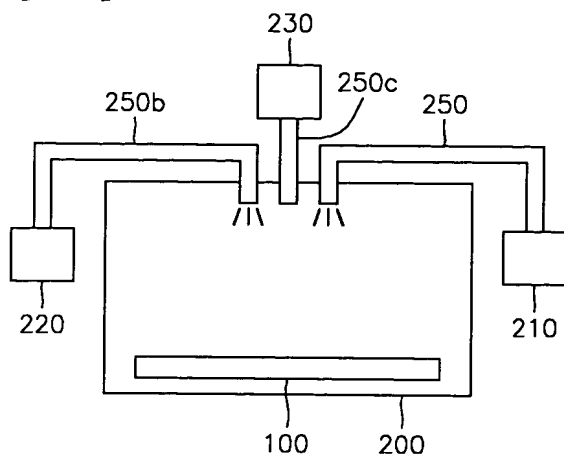
【도 3】



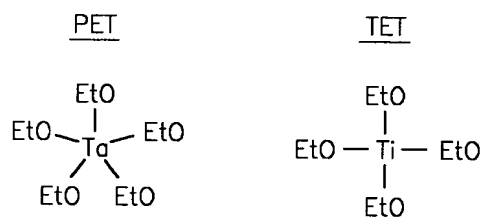
【도 4】



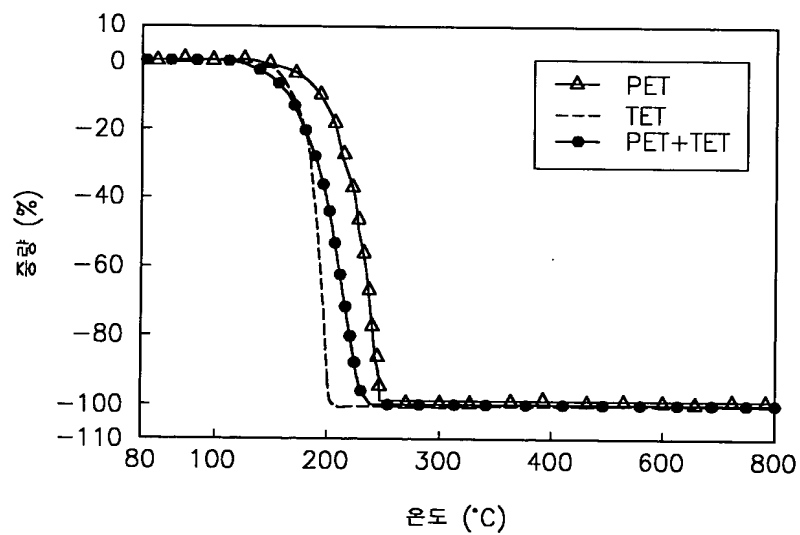
【도 5】



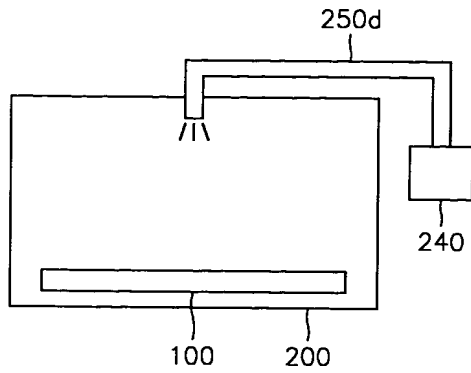
【도 6】



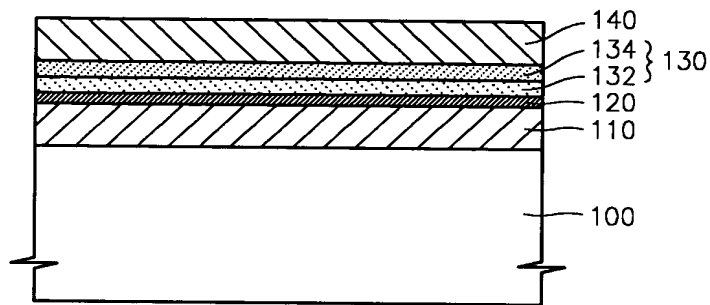
【도 7】



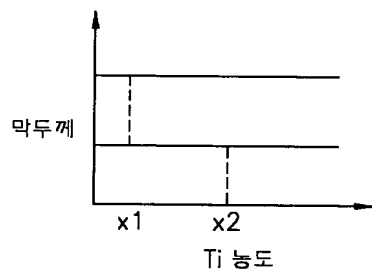
【도 8】



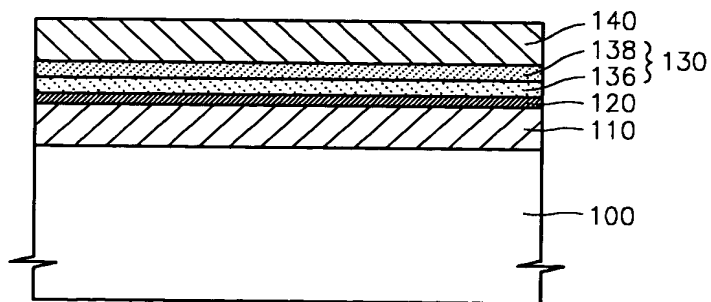
【도 9】



【도 10】



【도 11】



【도 12】

